

KOREAN PATENT ABSTRACTS

(11)Publication number: 100498414 B1  
(43)Date of publication of application: 22.06.2005

(1)Application number: 1019970066772  
(2)Date of filing: 08.12.1997

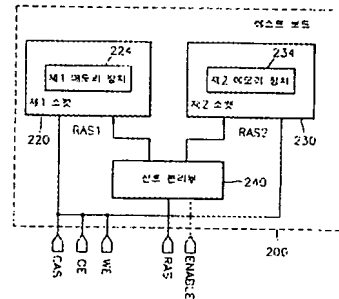
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: SHIN, TAE JIN  
KOO, GYO SEOL

(1)Int. Cl. G11C 29/00

4) TEST BOARD FOR SEMICONDUCTOR MEMORY DEVICE AND TEST METHOD THEREFOR CAPABLE OF USING THE TEST BOARD EFFECTIVELY DURING TEST PROCESS

7) Abstract:

PURPOSE: A test board for a semiconductor memory device and a test method therefor are provided to perform a test process under a constant condition by sharing one row address strobe signal with memory devices to be tested. CONSTITUTION: A test board(200) for semiconductor memory devices(224,234) receives a row address strobe signal, a column address strobe signal, a read enable signal, a write enable signal, and a predetermined enable signal from an external test device, and tests more than two semiconductor memory devices. The memory devices are mounted on N sockets(220,230). A signal separating member(240) divides the row address strobe signal into N signals in response to the row address strobe signal and the enable signal. When one of the divided row address strobe signals is enabled, the other signals are disabled. The column address strobe signal, the read enable signal, and the write enable signal are commonly applied to the memories. The N divided row address strobe signals are applied to the respective memories.



Copyright KIPO 2006

Legal Status

Date of request for an examination (20021126)  
Notification date of refusal decision (00000000)  
Final disposal of an application (registration)  
Date of final disposal of an application (20050516)  
Patent registration number (1004984140000)  
Date of registration (20050622)  
Number of opposition against the grant of a patent ( )  
Date of opposition against the grant of a patent (00000000)  
Number of trial against decision to refuse ( )  
Date of requesting trial against decision to refuse ( )

# (19)대한민국특허청(KR)

## (12) 등록특허공보(B1)

51) 。 Int. Cl.<sup>6</sup>  
G11C 29/00

(45) 공고일자 2005년09월08일  
(11) 등록번호 10-0498414  
(24) 등록일자 2005년06월22일

21) 출원번호	10-1997-0066772	(65) 공개번호	10-1999-0048156
22) 출원일자	1997년12월08일	(43) 공개일자	1999년07월05일

(73) 특허권자 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 신태진  
서울특별시 강남구 도곡동 역삼우성아파트 1동1504호

구교설  
경기도 수원시 팔달구 매탄1동 172-64

(74) 대리인 노민식  
리엔목특허법인

심사관 : 김세영

### (54) 반도체메모리장치를위한테스트보드및테스트방법

#### 요약

반도체 메모리 장치를 위한 테스트 보드 및 테스트 방법이 개시된다. 본 발명에 따른 반도체 메모리 장치를 위한 테스트 보드는, 외부의 테스터로부터 로우 어드레스 스트로브 신호, 칼럼 어드레스 스트로브 신호, 독출 인에이블 신호 및 기입 인에이블 신호를 입력하고, 두 개 이상 N개의 반도체 메모리 장치를 테스트하는 반도체 메모리 장치를 위한 테스트 보드에 있어서, N개의 메모리 장치를 실장하는 N개의 소켓들, 및 테스터로부터 하나의 로우 어드레스 스트로브 신호 및 소정의 인에이블 신호를 입력하고, 인에이블 신호에 응답하여 로우 어드레스 스트로브 신호를 N개로 분리하는 신호 분리 수단을 포함하고, 신호 분리 수단은 N개로 분리된 로우 어드레스 스트로브 신호들 중 하나가 인에이블되면, 나머지 신호들은 디스에이블되는 것을 특징으로 하고, 테스트되는 메모리 장치 간에 하나의 로우 어드레스 스트로브 신호를 공유함으로써 테스트 보드를 효율적으로 이용할 수 있을 뿐 아니라, 무정의(don't care) 조건에서 테스트를 수행하는 것이 가능하다는 효과가 있다.

#### 대표도

#### 도 2

#### 명세서

#### 도면의 간단한 설명

도 1은 종래의 반도체 메모리 테스트 보드를 설명하기 위한 개략적인 블록도이다.

도 2는 본 발명에 따른 반도체 메모리를 위한 테스트 보드를 설명하기 위한 개략적인 블록도이다.

도 3은 도 2에 도시된 테스트 보드의 신호 분리부를 설명하기 위한 바람직한 일실시예의 회로도이다.

도 4(a)~(d)는 도 2에 도시된 테스트 보드의 입력 및 출력 신호를 설명하기 위한 타이밍도이다.

도 5는 도 2에 도시된 반도체 메모리를 위한 테스트 보드에서 수행되는 테스트 방법을 설명하기 위한 플로우차트이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치를 위한 테스트 보드(TEST BOARD)에 관한 것으로서, 특히, 외부의 테스터에서 인가되는 하나의 로우 어드레스 스트로브 신호(Row Address Strobe:RAS)를 분리하여 여러 개의 반도체 메모리 장치를 테스트하는 반도체 메모리 장치를 위한 테스트 보드 및 테스트 방법에 관한 것이다.

일반적으로 연구 또는 특별한 목적이 아닌 경우에, 반도체 메모리 또는 비메모리 장치를 테스트하기 위한 테스트 보드에서는 병렬 테스트와 같은 특별한 테스트를 하지 않는 이상, 하나의 소켓과 하나의 메모리 장치를 테스트하는 경우가 대부분이다.

도 1은 종래의 반도체 메모리 장치를 위한 테스트 보드를 설명하기 위한 개략적인 블록도로서, 테스트 보드(100)위에 장착되는 소켓(110), 소켓(110)에 실장되는 메모리 장치(120)로 구성된다.

즉, 도 1에 도시된 테스트 보드(100)는 외부의 테스트 장비 즉, 외부의 테스터로부터 클럭 신호들(RAS, CAS, OE, WE)을 입력하고, 입력된 클럭 신호들은 소켓(110)을 통하여 메모리 장치(120)에 인가되어 각 동작을 테스트하는데 이용된다.

상술한 바와 같이, 종래에는 하나의 테스트 보드 내에서 하나의 소켓(110)에 실장된 하나의 메모리 장치(120)만을 테스트하였다. 일반적인  $\times 4$  디램 (Dynamic Random Access Memory:DRAM)에 있어서 사용되는 클럭 신호의 수는 4개이며, 그것은 각각 로우 어드레스 스트로브 신호(Row Address Strobe:RAS), 칼럼 어드레스 스트로브 신호(Column Address Strobe:CAS), 출력 인에이블 신호(PE) 및 기입 인에이블 신호(WE)이다. 즉, 테스트 보드(100) 외부의 테스터로부터 입력되는 각 하나씩의 로우 어드레스 스트로브 신호(Row Address Strobe:RAS), 칼럼 어드레스 스트로브 신호(Column Address Strobe:CAS), 독출 인에이블 신호(OE) 및 기입 인에이블 신호(WE)를 입력하여 기입, 독출, 리프레쉬 등의 모든 동작을 테스트한다.

따라서, 하나의 로우 어드레스 스트로브 신호(RAS)에 의해 동작하는 메모리 장치를 2개 이상 연결하여 멀티 테스트를 수행하는 것도 불가능하게 된다. 또한, 하나의 테스트 보드에서 하나의 메모리 장치만을 테스트하기 때문에 비효율적이며 테스트 사양(SPECIFICATION)에 제시되어 있는 무정의(don't care) 조건에서 테스트를 하는 것이 불가능하다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는, 외부의 테스터에서 입력되는 하나의 로우 어드레스 스트로브 신호(RAS)를 두 개의 신호로 분리함으로써 두 개의 메모리 장치를 동시에 테스트할 수 있는 반도체 메모리 장치를 위한 테스트 보드를 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는, 상기 반도체 메모리 장치를 위한 테스트 보드에서 수행되는 테스트 방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기 과제를 이루기 위해, 본 발명에 따른 반도체 메모리 장치를 위한 테스트 보드는, 외부의 테스터로부터 로우 어드레스 스트로브 신호, 칼럼 어드레스 스트로브 신호, 독출 인에이블 신호 및 기입 인에이블 신호를 입력하고, 두 개 이상 N개의 반도체 메모리 장치를 테스트하는 반도체 메모리 장치를 위한 테스트 보드에 있어서, N개의 메모리 장치를 실장하는 N개의 소켓들, 및 테스터로부터 하나의 로우 어드레스 스트로브 신호 및 소정의 인에이블 신호를 입력하고, 인에이블 신호에 응답하여 로우 어드레스 스트로브 신호를 N개로 분리하는 신호 분리 수단으로 구성되는 것이 바람직하다.

상기 다른 과제를 이루기 위해, 본 발명에 따른 반도체 메모리 장치를 위한 테스트 방법은, 외부의 테스터로부터 각각 하나의 로우 어드레스 스트로브 신호, 칼럼 어드레스 스트로브 신호, 독출 인에이블 신호 및 기입 인에이블 신호를 입력하고, 두 개 이상 N개의 반도체 메모리 장치를 테스트하는 테스트 방법에 있어서, 소정의 인에이블 신호가 액티브되었는가를 판단하는 단계, (a)인에이블 신호가 액티브되었으면, 로우 어드레스 스트로브 신호를 인에이블시키는 단계, (b)로우 어드레스 스트로브 신호를 분리하여 제1 및 제2로우 어드레스 스트로브 신호를 생성하는 단계, 제1로우 어드레스 스트로브 신호 또는 제2로우 어드레스 스트로브 신호가 인에이블되었는가를 판단하는 단계, 제1 또는 제2로우 어드레스 스트로브 신호가 인에이블되지 않았으면, 제1 및 제2로우 어드레스 스트로브 신호가 프리차아지 상태를 유지하는 단계, 제1 및 제2로우 어드레스 스트로브 신호가 프리차아지된 후 (a)단계로 복귀하는 단계, 제1 또는 제2로우 어드레스 스트로브 신호가 인에이블되었으면, 인에이블된 제1로우 어드레스 스트로브 신호 또는 제2로우 어드레스 스트로브 신호를 입력으로 하는 메모리 장치를 테스트하는 단계, 및 인에이블된 로우 어드레스 스트로브 신호가 연결된 메모리 장치를 테스트한 후에, 인에이블되지 않은 로우 어드레스 스트로브 신호를 인에이블하여 다른 메모리 장치를 테스트하는 단계로 구성되는 것이 바람직하다.

이하, 본 발명에 따른 반도체 메모리 장치를 위한 테스트 보드에 관하여 첨부된 도면을 참조하여 다음과 같이 설명한다.

도 2는 본 발명에 따른 반도체 메모리 장치를 위한 테스트 보드를 설명하기 위한 개략적인 블록도이다.

도 2를 참조하면, 반도체 메모리 테스트 보드(200)는 신호 분리부(240), 제1소켓(220), 제2소켓(230), 제1메모리 장치(224) 및 제2메모리 장치(234)로 이루어진다.

도 2에 도시된 클럭 신호 입력부(210)는 외부의 테스터로부터 기입 인에이블 신호(WE), 독출 인에이블 신호(OE), 칼럼 어드레스 스트로브 신호(CAS)를 입력하여 테스트되는 메모리 장치(224, 234)에 각각 인가한다. 또한, 로우 어드레스 스트로브 신호(RAS)는 신호 분리부(240)에 입력되어 두 개의 로우 어드레스 스트로브 신호(RAS1 및 RAS2)를 생성하고, 생성된 신호들(RAS1, RAS2)를 각각 제1메모리 장치(224)와 제2메모리 장치(234)로 인가한다. 즉, 다른 클럭 신호들(WE, OE 및 CAS)은 두 메모리 장치(224, 234)에 공통으로 인가되고, 로우 어드레스 스트로브 신호(RAS)는 신호 분리부(240)에서 분리되어 각각의 메모리 장치로 인가된다. 또한, 제1소켓(220)과 제2소켓(230)은 테스트되어지는 제1메모리 장치(224)와 제2메모리 장치(234)를 각각 실장하며, 제1 및 제2메모리 장치는 소켓을 통하여 외부의 테스터로부터 신호를 입력받는다.

도 3은 도 2에 도시된 반도체 메모리 장치를 위한 테스트 보드(200)의 신호 분리부(240)를 설명하기 위한 바람직한 일 실시예의 회로도이다.

도 3을 참조하면, 신호 분리부(240)는 인버터(310), 제1신호 전송부(320), 인버터(330), 제2신호 전송부(340), 인버터(350), 제1RAS신호 출력부(360), 제2RAS신호 출력부(370) 및 지연 시간 조정부(380)로 구성된다. 여기에서 제1신호 전송부(320)는 제1전송 게이트(TG1), 낸드 게이트(322), 제2전송 게이트(TG2), 인버터(324)로 구성되고, 제2신호 전송부(340)는 전송 게이트(TG3), 전송 게이트(TG4), 낸드 게이트(342), 인버터(344)로 구성된다. 또한, 지연 시간 조정부(380)는 인버터들(382, 384), 저항들(R30, R32) 및 커패시터들(C30, C32)로 구성된다. 한편, 제1RAS신호 출력부(360)는 노아 게이트(362)와 낸드 게이트(364)로 구성되고, 제2RAS신호 출력부(370)는 노아 게이트(372)와 인버터(374)로 구성된다.

즉, 도 3에 도시된 제1신호 전송부(320)와 제2신호 전송부(340)는 각각 2개의 전송 게이트들, 낸드 게이트 및 인버터로 구현되어 초기에 인에이블되는 로우 어드레스 스트로브 신호(RASB)의 상태를 유지한다. 즉, 전송 게이트(TG1)는 전송 제어 신호 및 인버터(310)에서 반전된 전송 제어 신호를 입력하며, 전송 제어 신호에 따라서 입력 신호를 전송하거나 차단한다. 전송 게이트(TG1)에서 출력된 신호는 낸드 게이트(322)의 제2입력으로 인가되어 인에이블 신호(ENABLE)와 반전 논리곱되고, 반전 논리곱된 신호는 인버터(324)를 거쳐 전송 게이트(324)로 피드백되고 낸드 게이트(322)의 제2입력으로 인가된다. 또한, 낸드 게이트(322)의 출력은 인버터(330)로 인가되고, 인버터(330)에서 반전된 신호는 제2신호 전송부(340)로 입력된다. 제2신호 전송부(340)는 제1신호 전송부(330)의 출력을 입력으로 하고, 입력된 신호의 상태를 유지한다. 즉, 3전송게이트(TG3)도 마찬가지로 전송 제어 신호와 인버터(330)에서 반전된 전송 제어 신호를 각각 입력하고, 입

기된 전송 제어 신호의 상태에 따라서 입력 신호를 전송하거나, 차단 한다. 전송 게이트(TG3)의 출력은 낸드 게이트(342)에서 인에이블 신호(ENABLE)와 반전 논리곱되고, 반전 논리곱된 출력은 인버터(344)를 통하여 전송 게이트(TG3)로 피드백되어 다시 낸드 게이트(342)의 입력으로 인가된다. 또한, 낸드 게이트(342)의 출력은 제1신호 전송부(320)의 전송 게이트(TG1)의 입력으로 피드백된다.

여기에서, 제2신호 전송부(340)의 출력은 제2RAS신호 출력부(RAS2B)로 인가되고, 또한 인버터(350)에서 반전되어 제1RAS신호 출력부(360)로 입력된다. 따라서, 제1 및 제2RAS신호 출력부(360 및 370)는 서로 반전된 입력을 인가하므로 인에이블되는 시점이 다르게 된다.

또한, 도 3에 도시된 지연 시간 조정부(380)는 제2신호 전송부(320)와 제2신호 전송부(340)를 거쳐서 생성된 제1RAS신호(RAS1B) 및 제2RAS신호(RAS2B)가 출력 단자를 통하여 출력될 때, 서로 다른 지연 시간으로 인해 오차가 발생하는 것을 방지하도록 두 신호의 지연 시간을 같게 조정한다. 또한, 지연 시간 조정부(380)는 두 개의 인버터들(382, 384)로 이루어진 비퍼의 구조를 갖는다. 여기에서 인버터(382)의 바이어스 전압 입력 단자와 전원 전압(VDD) 사이에 연결된 저항(R30), 전원 전압(VDD)과 인버터(382)의 출력 단자 사이에 연결된 커패시터(C30)는 지연 시간을 조정하기 위한 시정수를 결정한다. 또한, 인버터(380)는 인버터(382)의 출력을 반전시키며, 바이어스 전압 입력 단자와 기준 전원(GND) 사이에 연결된 저항(R32) 및 출력 단자와 기준 전원(GND) 사이에 연결된 커패시터(C32)는 인버터(384)의 지연 시간을 조정하기 위한 시정수를 결정한다.

도 3에 도시된 제1RAS신호 출력부(360)의 노아 게이트(362)는 인버터(350)에서 반전된 제2신호 전송부(340)의 출력과, 지연 시간 조정부(380)의 출력을 반전 논리합한다. 반전 논리합된 결과는 낸드 게이트(364)에서 반전 논리곱되어 제1RAS신호(RAS1B)로서 출력된다. 또한, 제2RAS신호 출력부(370)의 노아 게이트(372)는 제2신호 전송부(340)의 출력과 지연 시간 조정부(380)의 출력을 반전 논리합한다. 반전 논리합된 결과는 인버터(374)로 입력되고, 인버터(374)는 반전 논리합된 결과를 반전시켜 제2RAS신호(RAS2B)로서 출력한다.

즉, 도 2 및 3에 도시된 신호 분리부(240)는 테스트에서 입력되는 로우 어드레스 스트로브 신호(RASB)가 로우 레벨로 인에이블되었을 때, 만약 두 출력 신호(RAS1B 또는 RAS2B) 중 하나가 로우 레벨로 인에이블되었으면, 다른 하나는 하이 레벨로 인에이블되도록 즉, 대기(STAND-BY) 상태가 되도록 제어하는 역할을 한다.

도 4(a)~4(d)는 도 3에 도시된 반도체 메모리 장치를 위한 테스트 보드의 입력 및 출력 신호를 설명하기 위한 타이밍도로서, 도 4(a)는 인에이블 신호(ENABLE)를 나타내고, 4(b)는 외부의 테스트에서 입력되는 로우 어드레스 스트로브 신호(RASB)를 나타내고, 4(c)는 제1RAS신호 출력 단자를 통하여 출력되는 제1로우 어드레스 스트로브 신호(RAS1B)를 나타내고, 4(d)는 제2RAS신호 출력 단자를 통하여 출력되는 제2로우 어드레스 스트로브 신호(RAS2B)를 나타낸다.

이하에서, 본 발명에 따른 반도체 메모리 장치를 위한 테스트 보드 및 테스트 방법에 관하여 첨부된 도면을 참조하여 상세히 설명한다.

도 5는 본 발명에 따른 반도체 메모리 장치를 위한 테스트 보드에서 수행되는 테스트 방법을 설명하기 위한 플로우차트로서, 외부에서 인가되는 인에이블 신호(ENABLE)가 액티브되었는가를 판단하는 단계(제510단계), 인에이블 신호(ENABLE)가 액티브되었으면, 외부에서 인가된 로우 어드레스 스트로브 신호(RASB)를 인에이블시키고, 로우 어드레스 인에이블 신호(RASB)를 분리하여 제1, 제2로우 어드레스 스트로브 신호(RAS1B, RAS2B)를 생성하는 단계(제520~530단계), RAS1B 또는 RAS2B가 인에이블되었는가를 판단하고, 두 신호가 모두 인에이블되지 않았으면 RAS1B 및 RAS2B가 프리차이지 상태를 유지하고 제520단계로 복귀하는 단계(제540~550단계) 및 두 신호(RAS1B 또는 RAS2B)중 하나가 인에이블되었으면, 인에이블된 로우 어드레스 스트로브 신호와 연결된 메모리 장치를 먼저 테스트한 후에 인에이블되지 않은 로우 어드레스 스트로브 신호를 인에이블시켜 다른 메모리 장치를 테스트하는 단계(제560~570단계)로 구성된다.

우선, 테스트 보드 외부의 테스트에서 입력되는 도 4(a)에 도시된 인에이블 신호(ENABLE)가 로우 레벨이면, 제1RAS신호(RAS1B) 및 제2RAS신호(RAS2B)는 하이 레벨로 프리차이지(PRECHARGE)되어 대기 상태에 있게 된다. 즉, 인에이블 신호(ENABLE)가 로우 레벨이면 제1신호 전송부(320)의 낸드 게이트(322)의 제1입력으로 로우 레벨의 신호가 입력되어 제2입력의 상태에 관계없이 하이 레벨의 신호를 출력한다. 또한, 제2신호 전송부(340)의 낸드 게이트(342)의 제1입력으로 로우 레벨의 신호가 입력되어 제2입력에 관계없이 하이 레벨의 신호를 출력한다. 따라서, 인버터(350)는 로우 레벨의 신호를 출력하게 되고, 제1RAS신호 출력부(360)의 노아 게이트(362)로 인가된다. 여기에서, 제1RAS신호 출력부(360)의 낸드 게이트(364)의 제1입력으로 로우 레벨의 인에이블 신호(ENABLE)가 인가되므로 제1RAS신호(RAS1B) 출력 단자로 출력되는 신호는 낸드 게이트(364)의 제2입력에 관계없이 하이 레벨이 되어 프리차이지 상태가 된다. 또한, 제2RAS신호 출력부(370)의 노아 게이트(372)의 제1입력으로 하이 레벨이 인가되므로 노아 게이트(372)에서 출력되는 신호는 로우

백이고, 이 로우 레벨의 신호는 인버터(374)에서 반전되어 하이 레벨의 제2RAS신호(RAS2B)로서 출력된다. 상술한 바 같이, 인에이블 신호(ENABLE)가 로우 레벨이면, 입력되는 로우 어드레스 스트로브 신호(RASB)의 상태에 관계없이 도 4(c)에 도시된 제1로우 어드레스 스트로브 신호(RAS1B)와, 도 4(d)에 도시된 제2로우 어드레스 스트로브 신호(RAS2B)는 프리차아지 상태에 있게 된다.

이 때, 입력되는 인에이블 신호(ENABLE)가 하이 레벨로 액티브되었는가를 판단하고(제510단계), 만약 하이 레벨로 액티브되었으면 외부의 테스트에서 인가되는 도 4(b)에 도시된 로우 어드레스 스트로브 신호(RASB)를 로우 레벨로 인에이블시킨다(제520단계). 여기에서 로우 어드레스 스트로브 신호(RASB)가 인에이블되어 테스트 장치(200)에 인가되면, 신호 분리부(240)는 로우 어드레스 스트로브 신호(RASB)를 분리하여 두 신호들(RAS1B, RAS2B)을 생성한다(제530단계).

좀더 상세히 설명하면, 도 3에 도시된 신호 분리부의 인버터(310)는 로우 레벨의 로우 어드레스 스트로브 신호(RASB)를 반전하여 출력한다. 여기에서, 전송 게이트(TG1)는 턴온되지 못하므로 낸드 게이트(322)는 제1입력 및 제2입력을 반전 논리곱하여 로우 레벨의 출력을 생성한다. 즉, 이전 로우 어드레스 스트로브 신호(RASB)의 상태를 하이 레벨이라 할 때 낸드 게이트(322)의 제2입력은 하이 레벨을 가지고 있었으므로 로우 레벨의 신호를 출력하게 된다. 따라서, 인버터(324)의 입력은 로우 레벨이 되고, 반전된 하이 레벨의 신호가 전송 게이트(TG2)로 입력된다. 전송 게이트(TG2)는 각 NMOS게이트와 PMOS게이트로 입력되는 전송 제어 신호에 응답하여 턴온되고, 전송 게이트(TG2)의 출력 단자로 하이 레벨의 신호를 출력하게 되며, 이 신호는 다시 낸드 게이트(322)의 제2입력으로 피드백된다. 이 때 제1신호 전송부(320)에서 출력된 로우 레벨의 출력은 인버터(330)에서 반전되어 전송 게이트(TG3)로 입력된다. 전송 게이트(TG3)는 입력되는 전송 제어 신호에 응답하여 턴온되고, 하이 레벨의 출력 신호는 낸드 게이트(342)의 제2입력으로 인가된다. 따라서, 낸드 게이트(342)는 입력된 하이 레벨의 인에이블 신호(ENABLE)와 전송 게이트(TG3)의 출력을 반전 논리곱하여 로우 레벨의 신호를 출력한다. 출력된 로우 레벨의 신호는 인버터(344)와 제1전송 게이트(TG1) 및 인버터(350)로 인가된다.

즉, 인버터(344)로 입력된 로우 레벨의 신호는 반전되어 전송 게이트(TG4)로 인가되고, 전송 게이트(TG4)는 턴온되지 않으므로 이전의 하이 레벨의 상태를 유지한다. 한편, 인버터(350)에서 반전된 하이 레벨의 신호는 제1RAS신호 출력부(360)의 노아 게이트(362)의 제1입력으로 인가된다. 이 때 지연 시간 제어부(380)는 인버터(382)와 인버터(384)를 거쳐서 소정 시간 지연된 로우 레벨의 신호를 출력하게 된다. 따라서, 지연 시간 조정부(380)에서 출력된 로우 레벨의 신호와 인버터(350)에서 출력된 하이 레벨의 신호는 반전 논리합되어 로우 레벨의 신호를 출력한다. 결국, 낸드 게이트(364)의 제1입력으로 하이 레벨의 인에이블 신호(ENABLE)신호가 입력되고, 제2입력으로 로우 레벨의 신호가 입력되어 낸드 게이트(364)의 출력으로 하이 레벨의 제1RAS신호(RAS1B)가 출력된다.

한편, 제2RAS신호 출력부(370)의 노아 게이트(372)의 제1입력으로 낸드 게이트(342)에서 출력된 로우 레벨의 신호와 지연 시간 조정부(380)에서 소정 시간 지연된 로우 레벨의 신호가 입력되어 하이 레벨의 신호를 출력한다. 따라서, 하이 레벨의 신호는 인버터(374)에서 반전되어 로우 레벨의 제2RAS신호(RAS2B)로서 생성된다. 즉, 제530단계에서 RAS1B 또는 RAS2B가 인에이블되었는가를 판단하고(제540단계), 둘 중 하나가 인에이블되었으면 인에이블된 RAS1B 또는 RAS2B를 입력으로하는 메모리 장치를 테스트한다(제560단계). 도 3에 도시된 실시예에서는 제2로우 어드레스 스트로브 신호(RAS2B)가 먼저 인에이블되었으므로 제2메모리 장치(234)가 먼저 테스트된다. 도 2를 참조하면, 제2RAS신호(RAS2B)가 인가되는 메모리 장치(234)는 소정 시간 후에 인가되는 칼럼 어드레스 스트로브 신호(CASB), 기입 인에이블 신호(WE) 및 독출 인에이블 신호(OE)에 응답하여 소정의 테스트 동작 예를 들어, 기입, 독출 등의 테스트 동작을 수행한다. 제2메모리 장치(234)가 테스트되는 동안 제1메모리 장치는 대기 상태에 있게 된다.

한편, 로우 어드레스 스트로브 신호(RASB)가 로우 레벨에서 하이 레벨로 전이되면, 제2RAS신호(RAS2B)는 로우 레벨에서 하이 레벨로 인에이블되고, 제1RAS신호(RAS1B)는 여전히 하이 레벨 상태를 유지한다. 즉, 로우 어드레스 스트로브 신호(RASB)가 하이 레벨로 변환되면, 제1신호 전송부(320)의 전송 게이트(TG1)이 인에이블되고, 낸드 게이트(322)를 통하여 하이 레벨의 신호가 출력된다. 이 하이 레벨의 신호는 인버터(330)에서 반전되어 제2신호 전송부(340)로 입력되고, 전송 게이트(TG4)를 턴온시킨다. 이 때 낸드 게이트(342)의 출력은 로우 레벨이 되고, 로우 레벨의 출력은 인버터(350)로 입력되며, 인버터(350)에서 반전된 신호는 제1RAS신호 출력부(360)의 노아 게이트(362)로 인가된다. 즉, 제1RAS신호 출력부(360)는 하이 레벨의 인버터(350)의 출력과 지연 시간 조정부(380)에서 소정 시간 지연된 하이 레벨의 신호를 노아 게이트(362)에서 반전 논리합하고, 낸드 게이트(364)에서 하이 레벨의 인에이블 신호(ENABLE)와 반전 논리곱하여 하이 레벨의 제1RAS신호(RAS1B)를 출력한다. 즉, 제1RAS신호(RAS1B)는 이전의 하이 레벨 상태를 유지한다. 또한, 제2RAS신호 출력부(370)의 노아 게이트(372)는 제2신호 전송부(340)에서 출력된 로우 레벨의 신호와 지연 시간 조정부(380)에서 소정 시간 지연된 하이 레벨의 신호를 반전 논리합하고, 논리합된 로우 레벨의 출력을 인버터(374)에서 반전하여 하이 레벨의 제2RAS신호(RAS2B)로서 출력한다. 즉, 도 2에 도시된 신호 분리부(240)는 제2RAS신호(RAS2B)가 이전의 로우

레벨에서 하이 레벨로 전이되는 동안 제1RAS신호(RAS1B)는 하이 레벨을 유지하고, 로우 어드레스 스트로브 신호 RASB)의 다음 하강 엣지에서 제1RAS신호(RAS1B)는 로우 레벨로 인에이블되고, 제2RAS 신호(RAS2B)는 하이 레벨을 유지하도록 설계되었음을 알 수 있다.

결국, 제1및 제2로우 어드레스 스트로브 신호(RAS1B, RAS2B)가 인에이블되지 않은 상태이면(제540단계), 제1 및 제2 로우 어드레스 스트로브 신호(RAS1B, RAS2B)는 프리차이지 상태를 유지한다(제550단계).

한편, 외부에서 인가되는 로우 어드레스 스트로브 신호(RASB)가 다시 로우 레벨로 인에이블되면, 제1신호 전송부(320)의 전송 게이트(TG1)은 턴온되지 않으므로 낸드 게이트(322)의 출력은 여전히 하이 레벨을 유지하고, 인버터(324)에서 반전되며, 턴온된 전송 게이트(TG2)를 통하여 로우 레벨의 신호가 출력된다. 따라서, 제1신호 전송부(320)의 출력은 하이 레벨이 되고, 인버터(330)에서 반전되어 로우 레벨의 신호가 제2신호 전송부(340)로 입력된다. 제2신호 전송부(340)의 전송 게이트(TG3)가 턴온되어 낸드 게이트(342)의 출력을 하이 레벨로 만든다. 따라서, 제2신호 전송부(340)의 출력은 제2RAS신호 출력부(RAS2B)의 노아 게이트(372)로 출력되고, 노아 게이트(372)에서는 지연 시간 조정부(380)에서 소정 시간 지연된 로우 레벨의 RAS신호(RASB)와 반전 논리합하고, 로우 레벨의 출력 신호를 생성한다. 따라서, 입력된 로우 레벨의 신호는 인버터(374)에서 반전되어 하이 레벨의 제2RAS신호(RAS2B)를 생성한다. 또한, 제2신호 전송부(340)의 출력은 인버터(350)에서 반전되어 제1RAS신호(RAS1B) 출력부(360)의 노아 게이트(362)의 입력으로 인가되고, 노아 게이트는 소정 시간 지연된 로우 레벨의 로우 어드레스 스트로브 신호(RASB)와 반전 논리합하여 하이 레벨의 신호를 출력한다. 이러한 하이 레벨의 신호는 낸드 게이트(364)에서 인에이블 신호(ENABLE)와 반전 논리합되어 로우 레벨의 제1RAS 신호(RAS1B)를 생성한다. 이 때 제1RAS 신호(RAS1B)는 인에이블되고, 인에이블된 제1RAS신호(RAS1B)를 입력으로 하는 제1메모리 장치(224)는 테스트 모드에 진입하고, 이후에 인가되는 클럭 신호들 예를 들어, 칼럼 어드레스 스트로브 신호, 기입 인에이블 신호 및 독출 인에이블 신호에 응답하여 소정의 테스트를 수행한다. 즉, 로우 어드레스 스트로브 신호(RASB)가 다시 로우 레벨로 인에이블되었을 때 과거에 프리차이지되어있던 제1RAS신호(RAS1B)를 인에이블시킴으로써 제1RAS신호를 입력으로 하는 제1메모리 장치(224)를 테스트하게 된다(제570단계).

상술한 과정을 통하여 로우 어드레스 스트로브 신호(RASB)가 로우 레벨로 인에이블될 때마다 제1로우 어드레스 스트로브 신호(RAS1B) 또는 제2로우 어드레스 스트로브 신호(RAS2B)는 교대로 인에이블되고, 각 인에이블된 로우 어드레스 스트로브 신호(RAS1B 또는 RAS2B)를 입력으로 하는 제1메모리 장치(224) 또는 제2메모리 장치(234)는 교대로 테스트된다. 즉, 제1로우 어드레스 스트로브 신호(RAS1B)와 제2로우 어드레스 스트로브 신호(RAS2B)는 외부에서 인가되는 로우 어드레스 스트로브 신호(RASB)가 로우 레벨에서 하이 레벨로 토글(toggle)될 때마다 각 한 사이클의 지연 시간을 갖게 된다.

결국, 하나의 로우 어드레스 스트로브 신호(RASB)가 두 클럭 신호(RAS1B, RAS2B)로 분리됨으로써, 하나의 테스트 보드에서 두 대의 메모리 장치를 테스트하는 것이 가능하다. 또한, 2개 뿐 아니라 시간적인 에러를 생성하지 않는 한 그 이상의 클럭 신호로 분리함으로써 더 많은 메모리 장치를 테스트 할 수 있다. 또한, 2개의 로우 어드레스 스트로브 신호가 인에이블 상태일 때, 다른 신호는 디스에이블 상태 즉, 두 메모리 장치간에 1 사이클의 지연을 뒀으로써 일종의 동기식 디램처럼 동작하게 되고, 종래의 메모리 장치에서 테스트할 수 없었던 무정의(don't care)조건에서 테스트하는 것이 가능하다. 즉, 칼럼 어드레스 스트로브 신호, 독출 인에이블 신호 및 기입 인에이블 신호와 같은 클럭 신호들은 두 메모리 장치에 공통으로 인가되어 동시에 입력되지만, 반면 로우 어드레스 스트로브 신호(RASB)는 서로 상보적으로 동작하기 때문에 현재 디스에이블되어 있는 메모리 장치에서도 클럭 신호들(CAS, OE 또는 WE)은 인에이블되는 경우가 존재하고, 따라서, 그와 같은 조건에서 발생하는 오동작을 발견할 수 있게 된다. 즉, RAS신호가 디스에이블된 상태에서 다른 클럭 신호들(CAS, OE, WE)가 인에이블된다면 이것은 노이즈로 인한 클럭 신호의 토글링이라고 판단할 수 있으며, 그로 인한 오동작을 발견하는 것이 가능하기 때문에 테스트 시 폴트 검출 가능 확률을 높일 수 있게 된다.

#### 발명의 효과

본 발명에 따르면, 테스트되는 메모리 장치 간에 하나의 로우 어드레스 스트로브 신호를 공유함으로써 테스트 보드를 효율적으로 이용할 수 있을 뿐 아니라, 무정의(don't care) 조건에서 테스트를 수행하는 것이 가능하다는 효과가 있다. 또한, 테스트되는 메모리 장치 간에 1사이클의 클럭 지연 시간을 생성되도록 함으로써 스탠 바이(stand-by) 상태에 있는 메모리 장치에 노이즈로 인한 클럭을 인가할 수 있으므로 테스트시 폴트 검출 가능 확률을 높일 수 있다는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1.

외부의 테스터로부터 로우 어드레스 스트로브 신호, 칼럼 어드레스 스트로브 신호, 독출 인에이블 신호, 기입 인에이블 신호 및 소정의 인에이블 신호를 수신하고, 두 개 이상 N개의 반도체 메모리 장치를 테스트하는 반도체 메모리 장치를 위한 테스트 보드에 있어서,

상기 N개의 메모리 장치를 실장하는 N개의 소켓들; 및

상기 로우 어드레스 스트로브 신호 및 상기 인에이블 신호에 응답하여 상기 로우 어드레스 스트로브 신호를 N개로 분리하는 신호 분리 수단을 포함하고,

상기 N개로 분리된 로우 어드레스 스트로브 신호들 중 하나가 인에이블(Enable)되면, 나머지 신호들은 디스에이블(Disable)되며,

상기 칼럼어드레스 스트로브 신호, 상기 독출 인에이블 신호 및 상기 기입 인에이블 신호는 상기 N개의 메모리에 공통으로 인가되고, 상기 N개로 분리된 로우 어드레스 스트로브 신호는 해당 메모리에 각각 인가되는 것을 특징으로 하는 반도체 메모리 장치를 위한 테스트 보드.

## 청구항 2.

제1항에 있어서, 상기 신호 분리 수단은,

상기 인에이블 신호가 액티브될 때 상기 로우 어드레스 스트로브 신호의 이전 상태를 래치하는 제1신호 전송 수단;

상기 제1신호 전송 수단의 출력을 반전시키는 제1반전 수단;

상기 인에이블 신호가 액티브될 때 상기 제1신호 전송부의 출력을 래치하는 제2신호 전송 수단;

상기 제2신호 전송 수단의 출력을 반전시키는 제2반전 수단;

상기 테스터에서 출력된 로우 어드레스 스트로브 신호를 소정 시간 지연시키는 지연 시간 조정 수단;

상기 지연된 로우 어드레스 스트로브 신호와 상기 제2반전 수단의 출력을 논리 조합하고, 상기 논리 조합된 결과를 제1로우 어드레스 스트로브 신호로서 출력하는 제1로우 어드레스 스트로브 신호 출력 수단; 및

상기 지연된 로우 어드레스 스트로브 신호와 상기 제1신호 전송부의 출력을 논리 조합하고, 상기 논리 조합된 결과를 제2로우 어드레스 스트로브 신호로서 출력하는 제2로우 어드레스 스트로브 신호 출력 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치를 위한 테스트 보드.

## 청구항 3.

제2항에 있어서, 상기 제1신호 전송 수단은,

상기 제2신호 전송부의 출력을 입력 신호로 인가하고, 상기 로우 어드레스 스트로브 신호와 반전된 상기 로우 어드레스 스트로브 신호에 응답하여 상기 입력 신호를 출력하는 제1전송 게이트;

상기 인에이블 신호와 상기 제1전송 게이트의 출력을 반전 논리곱하는 제1반전 논리곱 수단;

상기 제1반전 논리곱 수단의 출력을 반전시키는 제3반전 수단;



상기 제3반전 수단의 출력을 입력 신호로 인가하고, 상기 상기 로우 어드레스 스트로브 신호 및 반전된 상기 로우 어드레스 스트로브 신호에 응답하여 상기 입력 신호를 상기 제1반전 논리곱 수단의 입력으로 인가하는 제2전송 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치를 위한 테스트 보드.

청구항 4.

제3항에 있어서, 상기 제2신호 전송 수단은,

상기 제2반전 수단의 출력을 입력 신호로 인가하고, 상기 로우 어드레스 스트로브 신호 및 반전된 상기 로우 어드레스 스트로브 신호에 응답하여 상기 입력 신호를 출력하는 제3전송 게이트;

상기 제3전송 게이트의 출력과 상기 인에이블 신호를 반전 논리곱하는 제2반전 논리곱 수단;

상기 제2반전 논리곱 수단의 출력을 반전시키는 제4반전 수단;

상기 제4반전 수단의 출력을 입력 신호로 인가하고, 상기 로우 어드레스 스트로브 신호 및 상기 반전된 로우 어드레스 스트로브 신호에 응답하여 상기 입력 신호를 상기 제2반전 논리곱 수단의 입력으로 인가하는 제4전송 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치를 위한 테스트 보드.

청구항 5.

제4항에 있어서, 상기 지연 시간 조정 수단은,

상기 테스터에서 인가되는 로우 어드레스 스트로브 신호를 반전시키는 제5반전 수단;

상기 제5반전 수단의 바이어스 전압 입력 단자와 전원 전압 사이에 연결된 제1저항;

상기 전원 전압과 상기 제5반전 수단의 출력 단자 사이에 연결된 제1커패시터;

상기 제5반전 수단의 출력을 반전시키는 제6반전 수단;

상기 제6반전 수단의 바이어스 전압 입력 단자와 기준 전원 사이에 연결된 제2저항; 및

상기 제6반전 수단의 출력 단자와 상기 기준 전원 사이에 연결된 제2커패시터를 포함하는 것을 특징으로 하는 반도체 메모리 장치를 위한 테스트 보드.

청구항 6.

제5항에 있어서, 상기 제1로우 어드레스 스트로브 신호 출력 수단은,

상기 지연 시간 조정 수단의 출력과 상기 제2반전 수단의 출력을 반전 논리합하는 제1반전 논리합 수단; 및

상기 제1논리합 수단의 출력과 상기 인에이블 신호를 반전 논리곱하고, 상기 논리곱된 결과를 제1로우 어드레스 스트로브 신호로서 출력하는 제3반전 논리곱 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치를 위한 테스트 보드.

청구항 7.

제6항에 있어서, 상기 제2로우 어드레스 스트로브 신호 출력 수단은,

상기 지연 시간 조정 수단의 출력과 상기 제2신호 전송부의 출력을 반전 논리합하는 제2반전 논리합 수단; 및

상기 제2반전 논리합 수단의 출력을 반전시키고, 상기 반전된 결과를 제2로우 어드레스 스트로브 신호로서 출력하는 제7반전 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치를 위한 테스트 보드.

## 청구항 8.

외부의 테스터로부터 각각 하나의 로우 어드레스 스트로브 신호, 칼럼 어드레스 스트로브 신호, 독출 인에이블 신호 및 기입 인에이블 신호를 입력하고, 두 개 이상 N개의 반도체 메모리 장치를 테스트하는 테스트 방법에 있어서,

소정의 인에이블 신호가 액티브되었는가를 판단하는 단계;

(a)상기 인에이블 신호가 액티브되었으면, 상기 로우 어드레스 스트로브 신호를 인에이블시키는 단계;

(b)상기 로우 어드레스 스트로브 신호를 분리하여 제1 및 제2로우 어드레스 스트로브 신호를 생성하는 단계;

상기 제1로우 어드레스 스트로브 신호 또는 제2로우 어드레스 스트로브 신호가 인에이블되었는가를 판단하는 단계;

상기 제1 또는 제2로우 어드레스 스트로브 신호가 인에이블되지 않았으면, 제1 및 제2로우 어드레스 스트로브 신호가 프리차아지 상태를 유지하는 단계;

상기 제1및 제2로우 어드레스 스트로브 신호가 프리차아지된 후 상기 (a)단계로 복귀하는 단계;

상기 제1 또는 제2로우 어드레스 스트로브 신호가 인에이블되었으면, 인에이블된 제1로우 어드레스 스트로브 신호 또는 제2로우 어드레스 스트로브 신호를 입력으로 하는 메모리 장치를 테스트하는 단계; 및

상기 인에이블된 로우 어드레스 스트로브 신호가 연결된 메모리 장치를 테스트한 후에, 인에이블되지 않은 로우 어드레스 스트로브 신호를 인에이블하여 다른 메모리 장치를 테스트하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치를 위한 테스트 방법.

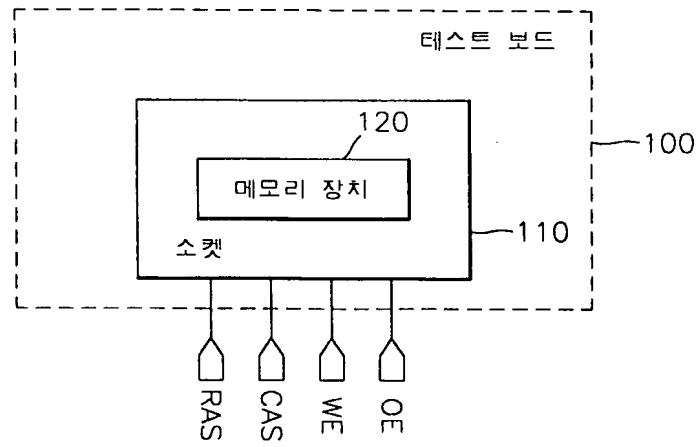
## 청구항 9.

제8항에 있어서, 상기 (b)단계는,

상기 제1로우 어드레스 스트로브 신호 또는 제2로우 어드레스 스트로브 신호가 로우 레벨로 인에이블되면, 인에이블되지 않은 로우 어드레스 스트로브 신호는 하이 레벨로 프리차아지되고, 상기 인에이블된 로우 어드레스 스트로브 신호는 한 사이클 후에 인에이블되는 것을 특징으로하는 반도체 메모리 장치를 위한 테스트 방법.

도면

도면1



도면2

